

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-175069

(43)Date of publication of application : 23.06.2000

(51)Int.Cl. H04N 3/23
G09G 1/00
G09G 1/04

(21)Application number : 10-351064

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 10.12.1998

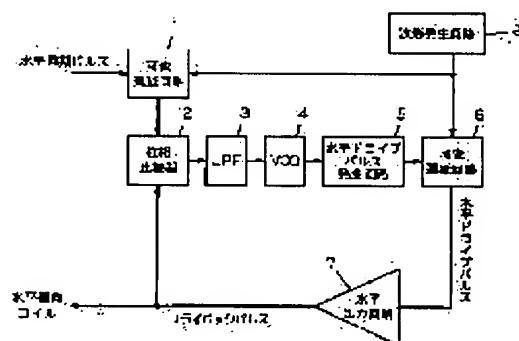
(72)Inventor : HIRAKAWA HARUYASU

(54) DISTORTION CORRECTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To attain a high response of a loop without scarifying jitter performance on a screen by adopting a configuration such that a delay the same as a delay given to horizontal synchronizing pulse is also given to a horizontal drive pulse and it is fed to a horizontal output circuit to maintain a phase lock state of a PLL circuit.

SOLUTION: The PLL circuit consists of a phase comparator 2, an LPF 3, a VCO 4, a horizontal drive pulse generating circuit 5, a variable delay circuit 6 and a horizontal output circuit 7. The phase comparator 2 detects a phase difference between a flyback pulse and a horizontal synchronous pulse delayed by a variable delay circuit 1 and a signal outputted from the LPF 3 controls an oscillated frequency from the VCO 4. The horizontal drive pulse generating circuit 5 receiving an output of the VCO 4 generates and outputs a horizontal drive pulse where the duty factor and the polarity of the pulse are controlled, the variable delay circuit 8 delays the pulse and the delayed pulse is given to the horizontal output circuit 7. When an image is distorted, a saw tooth wave obtained by a waveform generating circuit 8 is used to control the distortion.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-175069

(P2000-175069A)

(43) 公開日 平成12年6月23日 (2000.6.23)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
H 0 4 N 3/23		H 0 4 N 3/23	Z 5 C 0 6 8
G 0 9 G 1/00		G 0 9 G 1/00	K
1/04		1/04	

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平10-351064

(22) 出願日 平成10年12月10日 (1998. 12. 10)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 平川 晴康

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外 2 名)

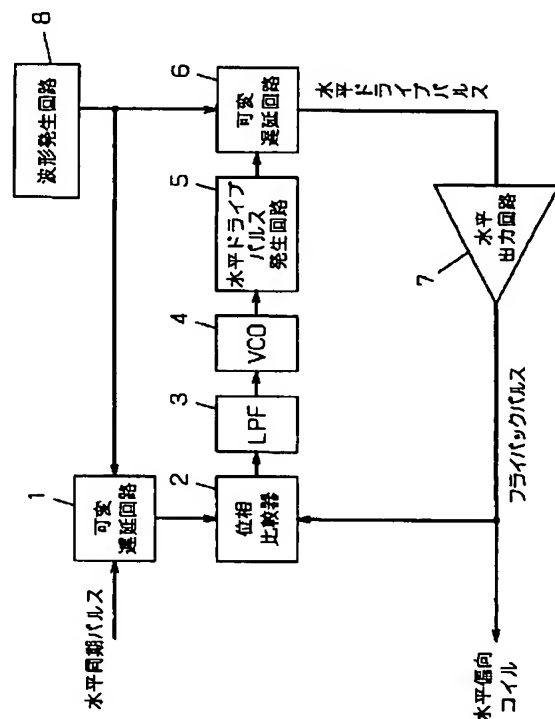
F ターム (参考) 5C068 BA03 BA07 BA08 JA20 JB10
LA01 MA05

(54) 【発明の名称】 歪み補正回路

(57) 【要約】

【課題】 平行四辺形歪みの補正において、水平 P L L 回路や水平 A F C 回路のループ応答に起因する画面上部の曲がりを発生しない歪み補正回路を提供する。

【解決手段】 水平同期信号もしくは水平同期信号と特定の位相関係を有する信号を、遅延するための第 1 の可変遅延手段を有し、前記第 1 の可変遅延手段の遅延量を垂直走査周期で変化させ、水平 P L L 回路もしくは水平 A F C 回路の基準信号とするものであり、第 2 の可変遅延手段により、前記第 1 の可変遅延手段と同一の遅延を水平ドライブパルスに与え、水平出力回路に供給する。



【特許請求の範囲】

【請求項 1】 水平同期信号もしくは水平同期信号と特定の位相関係を有する信号を遅延するための第 1 の可変遅延手段を有し、前記第 1 の可変遅延手段における遅延量を垂直走査周期で変化させて水平 PLL 回路もしくは水平 AFC 回路の基準信号とするものであり、第 2 の可変遅延手段により前記第 1 の可変遅延手段と同一の遅延を水平ドライブパルスに与え、水平出力回路に供給する事を特徴とした歪み補正回路。

【請求項 2】 請求項 1 記載の歪み補正回路を有する CRT ディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CRT ディスプレイ装置の歪み補正回路に関する。

【0002】

【従来の技術】コンピュータ用の CRT ディスプレイ装置は、様々な走査周波数に対応するものが一般的となってきた。そのため、いかなる周波数の表示においても、画像の歪みを軽減させるために、補正量を調整可能とした各種の歪み補正回路が搭載されている。

【0003】特に画像が水平方向に偏移する歪みの代表的なものとして、平行四辺形歪みがあり、それを補正する回路も多くのディスプレイ装置に備わっている。

【0004】平行四辺形歪みは、画像の水平位相を垂直周期の鋸歯状波で変調することにより補正が可能である。たとえば特開平 7-253761 にその解決手段のひとつが記載されている。以下に図面を用いてその方法について説明する。

【0005】図 5、図 2、および図 3 を用いて従来の平行四辺形歪み補正回路の動作を説明する。図 5 は従来の歪み補正回路の構成図である。図 5 において、可変遅延回路 1 に入力される水平同期パルスとは、ディスプレイ装置に接続された信号源から得られる水平同期信号そのものもしくは水平同期信号と特定の位相関係を有するパルスである。ここで特定の位相関係を有するパルスの場合、主に表示の水平ポジション調整のため、図示しない前段の回路にて水平同期信号に対して位相関係が与えられたものである。

【0006】位相比較器 2、ローパスフィルタ（以下、LPF と記す）3、電圧制御発振器（以下、VCO と記す）4、水平ドライブパルス生成回路 5、水平出力回路 7 は PLL 回路を構成し、可変遅延回路 1 の出力である遅延された水平同期パルスと水平出力回路 7 により得られるフライバックパルスの位相を合わせるように動作する。位相比較器 2 は遅延された水平同期パルスとフライバックパルスの位相差を検出し、LPF 3 を介し VCO 4 の発振周波数を制御する。VCO 4 の出力から水平ドライブパルス生成回路 5 はパルスのデューティや極性などを制御された水平ドライブパルスを生成し、水平出力

回路 7 に与える。水平出力回路 7 からはフライバックパルスが出力され、水平偏向コイル（図示せず）において偏向制御するとともに、位相比較器 2 へも出力される。

【0007】ここで図 2 の実線にて示すように画像が平行四辺形状に歪んでいる場合、波形発生回路 8 にて得られる垂直周期の鋸歯状波により、可変遅延回路 1 の遅延量を図 3 の様に制御する。PLL 回路の動作によりフライバックパルスの位相は遅延された水平同期パルスの位相に追従するため、図 2 の破線にて示すように平行四辺形歪みは補正される。

【0008】

【発明が解決しようとする課題】しかし従来の平行四辺形歪み補正回路は、位相をダイナミックに変化させた水平同期パルスを基準信号として、PLL 回路や AFC ループ回路を動作させるため、水平同期パルスの位相変化の大きい部分においては、ループ応答が十分速くない場合には画面に影響を与える場合があった。例えば、画面への影響として画面上部が図 6 の様に曲がってしまう場合がある。その時フライバックパルスの位相は図 3 と同様であるのが理想だが、図 7 の様に映像期間が開始される前に位相追従しきれていない状態になっている。

【0009】こうした場合、ループの応答を高速化するため、画面のジッタ性能を犠牲にして、VCO 4 の制御感度を上げるなど構成要素の大幅な回路修正をせざるをえなかった。

【0010】

【課題を解決するための手段】この課題を解決するために本発明は、水平同期パルスに与える遅延と同一の遅延を、水平ドライブパルスにも与え、水平出力回路に供給する構成をとる。この構成により、PLL 回路の位相比較器に入力される 2 つのパルスの位相関係は常に同一となり、PLL 回路の位相同期状態は保たれたままとなるので、位相を追従させる動作が無くなり画面上部に発生する補正の急峻な変化による画面曲がりが発生せず、簡単な回路構成で安定した歪み補正回路が得られる。

【0011】

【発明の実施の形態】本発明の請求項 1 に記載の発明は、水平同期信号もしくは水平同期信号と特定の位相関係を有する信号を、遅延するための第 1 の可変遅延手段を有し、前記第 1 の可変遅延手段の遅延量を垂直走査周期で変化させ、水平 PLL 回路もしくは水平 AFC 回路の基準信号とするものであり、第 2 の可変遅延手段により、前記第 1 の可変遅延手段と同一の遅延を水平ドライブパルスに与え、水平出力回路に供給する事を特徴とした歪み補正回路であり、簡単な構成で平行四辺形歪みの補正が可能である。

【0012】本発明の請求項 2 に記載の発明は、請求項 1 記載の歪み補正回路を有する CRT ディスプレイ装置に関するものであり、平行四辺形歪みの生じないディスプレイ装置が容易に実現できる。

【0013】（実施の形態1）以下に、本発明の請求項1に記載された歪み補正回路の実施の形態について、図1及び図2を用いて説明する。

【0014】図1において位相比較器2、LPF3、VCO4、水平ドライブパルス生成回路5、可変遅延回路6、水平出力回路7はPLL回路を構成し、可変遅延回路1の出力である遅延された水平同期パルスと水平出力回路7により得られるフライバックパルスの位相を合わせるように動作する。位相比較器2は可変遅延回路1により遅延された水平同期パルスとフライバックパルスの位相差を検出し、LPF3を介し、その出力でVCO4の発振周波数を制御する。

【0015】VCO4の出力を入力し、水平ドライブパルス生成回路5はパルスのデューティや極性を制御した水平ドライブパルスを生成して出力し、可変遅延回路6により遅延された後、水平出力回路7に与える。ここで図2の実線にて示すように画像が平行四辺形状に歪んでいる場合、これを補正するために、波形発生回路8にて得られる垂直周期の鋸歯状波により、可変遅延回路1の遅延量を図3の様に t_{d1} から t_{d2} まで制御するとする。

【0016】PLL回路の動作によりフライバックパルスの位相は遅延された水平同期パルスの位相と同位相である。図4に示すように、フライバックパルスと水平ドライブパルスはトランジスタのストレージタイム t_{st} の位相差を生じているので、水平ドライブパルスも「 $t_{d2} - t_{d1}$ 」で示される時間だけ位相が変化する。ただしこの位相変化は、可変遅延回路1と同一の遅延を発生する可変遅延回路6にて発生させているため、水平ドライブパルス発生回路5から出力される遅延前の水平ドライブパルスの位相は変化しない。つまりPLLに入力される基準信号である遅延させた水平同期パルスの位相が変化しても、可変遅延回路6の動作により、フライバックパルスの位相も同様に追従するため、位相比較器2の2つの入力信号に位相差を生じない。すなわちPLL回路は位相ロック状態を保ったままである。

【0017】このように従来例においては可変遅延回路

1にて発生させた基準信号の位相変化に追従しようとしてPLL回路が動作することで、平行四辺形歪み補正が実現されるため、PLL回路の応答が問題となる場合があったが、しかし本発明では平行四辺形歪み補正は可変遅延回路6にて実現され、それに伴うフライバックパルスの位相変化が位相比較器2で検出されない様に、水平同期パルスを同様に遅延させるために可変遅延回路1を動作させる形となっているため、PLL回路はロック状態を保ち安定した動作を実現できる。よって、本発明は特に平行四辺形歪みの補正量が多い場合や水平PLL回路の応答を速める事が困難な場合においても高精度な平行四辺形歪みの補正を実現する歪み補正回路を提供できるものである。

【0018】

【発明の効果】以上のように本発明によれば、水平PLL回路や水平AFC回路の応答が問題とならない、高性能な歪み補正回路が提供できる。

【図面の簡単な説明】

【図1】本発明の実施の形態を示すブロック図

【図2】平行四辺形歪みを示す図

【図3】平行四辺形歪み補正時の水平同期パルスの遅延量を示す図

【図4】各波形のタイミングを示す図

【図5】従来の平行四辺形歪み補正回路を示すブロック図

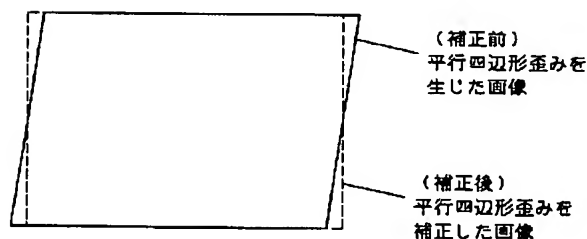
【図6】画面上部に曲がりの発生した画像を示す図

【図7】画面上部に曲がりの発生した際のフライバックパルスの位相を示す図

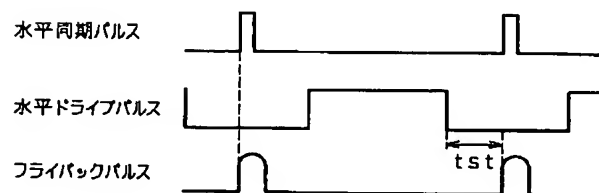
【符号の説明】

- 1、6 可変遅延回路
- 2 位相比較器
- 3 ローパスフィルタ（LPF）
- 4 電圧制御発振器（VCO）
- 5 水平ドライブパルス生成回路
- 7 水平出力回路
- 8 波形発生回路

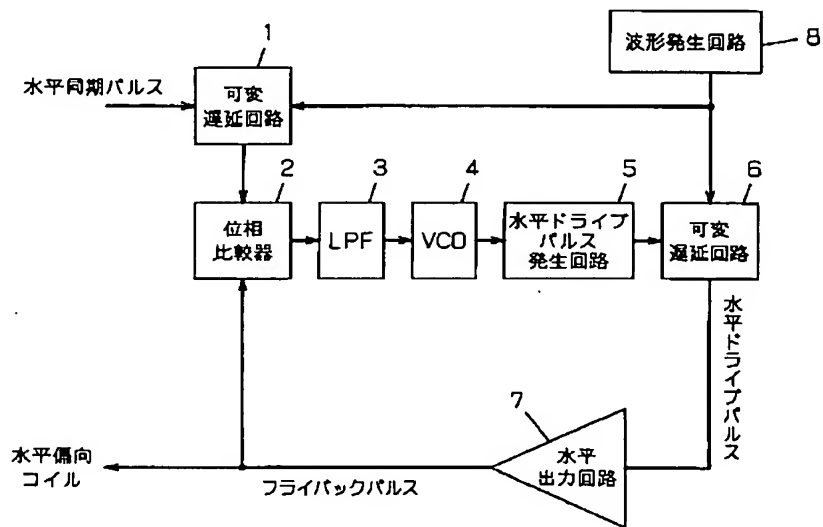
【図2】



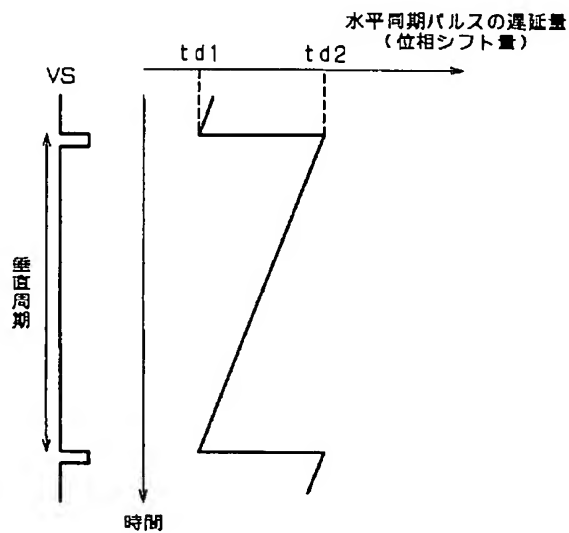
【図4】



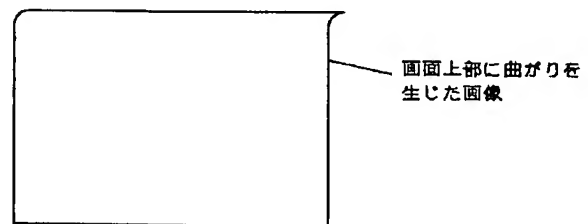
【図1】



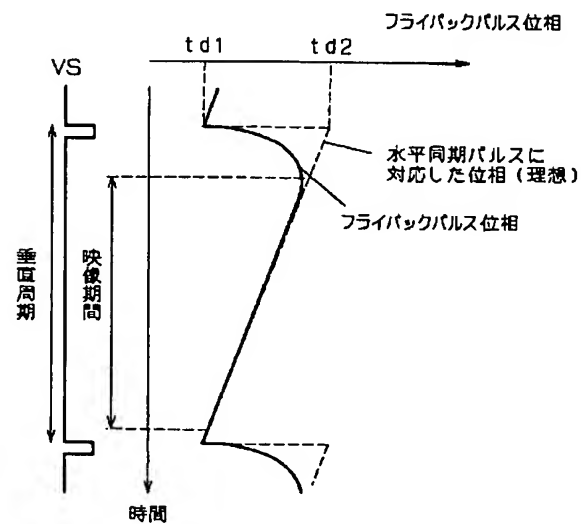
【図3】



【図6】



【図7】



【図5】

